

(19) 世界知的所有權機関
国際事務局



(43) 國際公開日
2005 年 8 月 25 日 (25.08.2005)

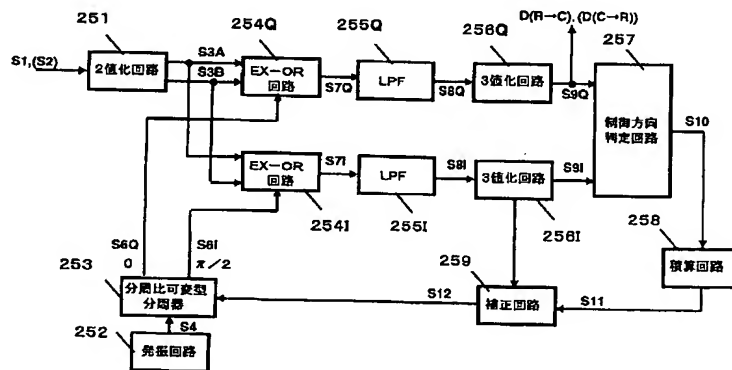
PCT

(10) 国際公開番号
WO 2005/079032 A1

- | | | |
|-----------------------------|--|---|
| (51) 国際特許分類7: | H04L 27/22, H03L 7/08, 7/087 | 誠 (ZHANG, Cheng) [CN/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). |
| (21) 国際出願番号: | PCT/JP2005/002161 | |
| (22) 国際出願日: | 2005 年 2 月 14 日 (14.02.2005) | (74) 代理人: 小池 晃, 外(KOIKE, Akira et al.); 〒1000011 東京都千代田区内幸町一丁目 1 番 7 号 大和生命ビル 1 1 階 Tokyo (JP). |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW. |
| 特願2004-035659 | 2004 年 2 月 12 日 (12.02.2004) JP | |
| (71) 出願人 (米国を除く全ての指定国について): | ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP). | (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, |
| (72) 発明者; および | | |
| (75) 発明者/出願人 (米国についてのみ): | 有沢 繁 (ARI-SAWA, Shigeru) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 張 | |

〔続葉有〕

- (54) Title: PLL CIRCUIT, DEMODULATOR CIRCUIT, IC CARD, AND IC CARD PROCESSING APPARATUS
- (54) 発明の名称: P L L 回路、復調回路、 I C カード及び I C カード処理装置



251... BINARIZING CIRCUIT
254Q... EX-OR CIRCUIT
256Q... TERNARIZING CIRCUIT
257... CONTROL DIRECTION DECIDING CIRCUIT
254I... EX-OR CIRCUIT
256I... TERNARIZING CIRCUIT
253... FREQUENCY DIVISION RATIO VARIABLE FREQUENCY DIVIDER
252... OSCILLATOR CIRCUIT
259... COLLECTOR CIRCUIT
258... INTEGRATOR CIRCUIT

- (57) Abstract:** A demodulator circuit for reproducing data sequence included in an input signal received via a desired transmission system, wherein an exclusive-OR (EX-OR) circuit (254Q,254I) phase compare a first oscillation output signal and a second oscillation output signal that is different in phase by 90 degrees [$\pi/2$] from the first oscillation output signal, both of which are produced by an oscillator (252) and a variable frequency divider (253); a control direction deciding circuit (257) decides, based on the positive and negative of that phase comparison result, a control direction; an integrator circuit (258) integrates that control direction decision result for one period of the input signal; and a corrector circuit (259) performs, based on the phase comparison result, a correction

〔統葉有〕

WO 2005/079032 A1



SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

for that integration result in such a manner that when the phase difference is $[\pm \pi/2]$, a predetermined control amount is given, whereby the corrected control signal outputted once a period is used to control the operation of the variable frequency divider (253).

(57) 要約: 本発明は、所望の伝送系を介して伝送された入力信号より、入力信号を介して伝送されるデータ列を再生する復調回路であり、発振器(252)及び可変型分周器(253)により生成される第1の発振出力信号及び第1の発振出力信号に対して90度 $[\pi/2]$ 位相の異なる第2の発振出力信号をイクスクルーシブオア(EX-OR)回路(254Q)(254I)により位相比較し、その位相比較結果の正負に基づいて制御方向判定回路(257)により制御方向を判定し、その制御方向判定結果を積算回路(258)により入力信号の1周期分積算して、その積算結果に対し、補正回路(259)により、位相比較結果に基づいて位相差が $[\pm \pi/2]$ の場合に所定の制御量とする補正処理を行い、1周期に1回に出力される補正処理済みの制御信号により可変型分周器(253)の動作を制御する。

明 細 書

PLL回路、復調回路、ICカード及びICカード処理装置

技術分野

[0001] 本発明は、PLL回路、復調回路、ICカード及びICカード処理装置に関し、特に、非接触により種々のデータを入出力するICカードと、このICカードとデータ通信するICカード処理装置に適用される。

本出願は、日本国において2004年2月12日に出願された日本特許出願番号2004-035659を基礎として優先権を主張するものであり、この出願は参照することにより、本出願に援用される。

背景技術

[0002] 従来、ICカードを用いたICカードシステムが用いられている。この種のICカードシステムは、交通機関の改札システム、部屋の入退出管理システム等に適用されている。このようなICカードシステムは、ユーザが携帯するICカードと、これらICカードとの間で種々のデータを送受信するリーダライタとを含むICカード処理装置を備える。このICカードシステムにおいて、ICカードとリーダライタとの間では、非接触により種々のデータが送受信される。

この種のICカードシステムに用いられるリーダライタは、所定周波数の搬送波を所望のデータ列により変調して送信信号を生成し、この送信信号をICカードに送出する。また、ICカードは、アンテナを介してこの送信信号を受信し、この送信信号よりリーダライタから送出されたデータを復調する。さらに、ICカードは、この受信したデータに応じて、内部に保持する個人情報等のデータを所定の搬送波により変調してリーダライタに送出する。

リーダライタは、このICカードより送出されたデータを受信し、この受信したデータより、改札機の扉を開閉し、又は部屋の入退出を許可するように構成されている。

このようなICカードシステムは、図1に示すような復調器1を用いて、リーダライタより送出されたデータを受信し、またICカードより送信されたデータを受信する。この復調器1は、アンテナ入力より復調されたPSK変調信号S1をリミッタ回路構成の2値化

回路2に入力する。2値化回路2に入力されたPSK変調信号S1は、2値化される。位相比較回路3は、この2値化回路2より出力される2値化信号SAと制御型発振回路4より出力されるクロックCKとを位相比較するイクスクルーシブオア回路等により構成され、2値化信号SAの位相によらず位相比較結果をローパスフィルタ(LPF)5に出力する。ローパスフィルタ5は、位相比較結果を帯域制限し、制御型発振回路4の制御信号を生成する。制御型発振回路4は、この制御信号に応じて発振周波数を可変する。

これにより、復調器1は、PLL回路を構成して2値化信号SAに位相同期したクロックCKを生成し、PSK変調信号よりクロックCKを再生する。ラッチ回路6は、このクロックCKにより2値化信号を順次ラッチし、これによりPSK変調信号S1を復調してなるデータ列D1を出力する。

ところで、ICカードシステムにおいては、ICカードとリーダライタとの距離によりアンテナ入力が大きく変化する。これに伴ってPSK変調信号S1の波形が著しく劣化し、またS/N比も大きく劣化する。

その結果、従来の復調器は、PSK変調信号S1を2値化して得られる2値化信号においてデューティ比が変化し、これにより2値化信号SAよりPSK変調信号S1のクロックを正しく再生することが困難になる。このようにクロックを正しく再生することが困難になると、その分正しくデータ再生することも困難になる。

この問題を解決する1つの方法として、本件出願人は、コスタスループによりPSK変調信号を復調するようにした復調回路を特開平11-274919号公報において提案している。

発明の開示

発明が解決しようとする課題

- [0003] 上述の如くPSK変調、又は、マンチェスタ符号化されたデジタルデータを受信する場合、サンプリングクロックの抽出を行う必要がある。コスタスループ等のPLL回路では、内部に実装された内部発振器の出力信号と受信するデジタルデータの位相比較を行い、その結果により内部発振器の発振周波数と位相の制御を行うことでサンプリングクロックの抽出を行う。

しかしながら、データのデューティや位相状態によっては、位相誤差が検出できない位相差が原理的に存在し、この位相差にはまり込むと、誤ロック状態が発生してしまう。

そこで、本発明の目的は、上述の如き従来の問題点に鑑み、誤ロック状態を検出し、その状態を回避することにより、確実にサンプリングクロックの抽出を可能にしたPLL回路、復調回路、これらを使用したICカード及びICカード処理装置を提供することにある。

本発明は、所望の伝送系を介して伝送された入力信号より、入力信号のクロックを再生するPLL回路において、入力信号を2値化して2値化信号を生成する2値化回路と、制御信号により周波数を可変して、第1の発振出力信号と、第1の発振出力信号に対して90度 $[\pi/2]$ 位相の異なる第2の発振出力信号を出力する信号生成回路と、第1の発振出力信号と2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較回路と、第2の発振出力信号と2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較回路と、第1及び第2の位相比較結果の正負に基づいて制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定回路と、制御方向判定結果を積算して、積算結果を出力する積算回路と、積算結果が零であるか否かを判別し、この判別結果と第1又は第2の位相比較回路の出力から位相差が $[\pm \pi/2]$ であることを検出し、この検出結果に基づいて補正処理が行われた制御信号を出力する補正回路とを備え、補正処理済みの制御信号により信号生成回路の動作を制御する。

また、本発明は、所望の伝送系を介して伝送された入力信号より、入力信号を介して伝送されるデータ列を再生する復調回路において、入力信号を2値化して2値化信号を生成する2値化回路と、制御信号により周波数を可変して、第1の発振出力信号と、第1の発振出力信号に対して90度 $[\pi/2]$ 位相の異なる第2の発振出力信号を出力する信号生成回路と、第1の発振出力信号と2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較回路と、第2の発振出力信号と2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較回路と、第1及び第2の位相比較結果の正負に基づいて制御信号による制御方向を判定し、制御方

向判定結果を出力する制御方向判定回路と、制御方向判定結果を入力信号の1周期分積算して、積算結果を出力する積算回路と、積算結果が零であるか否かを判別し、この判別結果と第1又は第2の位相比較回路の出力から位相差が $[\pm \pi / 2]$ であることを検出し、この検出結果に基づいて補正処理が行われた制御信号を出力する補正回路とを備え、補正処理済みの制御信号により信号生成回路の動作を制御して、第1又は第2の位相比較結果によりデータ列を出力する。

本発明は、アンテナを介して受信された送信信号から復調回路によりデータ列を復調して処理するICカードにおいて、復調回路は、送信信号を2値化して2値化信号を生成する2値化回路と、制御信号により周波数を可変して、第1の発振出力信号と、第1の発振出力信号に対して90度 $[\pi / 2]$ 位相の異なる第2の発振出力信号を出力する信号生成回路と、第1の発振出力信号と2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較回路と、第2の発振出力信号と2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較回路と、第1及び第2の位相比較結果の正負に基づいて制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定回路と、制御方向判定結果を入力信号の1周期分積算して、積算結果を出力する積算回路と、積算結果が零であるか否かを判別し、この判別結果と第1又は第2の位相比較回路の出力から位相差が $[\pm \pi / 2]$ であることを検出し、この検出結果に基づいて補正処理が行われた制御信号を出力する補正回路とを備え、補正処理済みの制御信号により信号生成回路の動作を制御して、第1又は第2の位相比較結果によりデータ列を出力する。

さらに、本発明は、アンテナを介して受信された応答信号から、復調回路を用いてICカードより送出されたデータ列を復調して処理するICカード処理装置において、復調回路は、応答信号を2値化して2値化信号を生成する2値化回路と、制御信号により周波数を可変して、第1の発振出力信号と、第1の発振出力信号に対して90度 $[\pi / 2]$ 位相の異なる第2の発振出力信号を出力する信号生成回路と、第1の発振出力信号と2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較回路と、第2の発振出力信号と2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較回路と、第1及び第2の位相比較結果の正負に基づいて制御

信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定回路と、制御方向判定結果を入力信号の1周期分積算して、積算結果を出力する積算回路と、積算結果が零であるか否かを判別し、この判別結果と第1又は第2の位相比較回路の出力から位相差が $[\pm \pi / 2]$ であることを検出し、この検出結果に基づいて補正処理が行われた制御信号を出力する補正回路とを備え、補正処理済みの制御信号により信号生成回路の動作を制御して、第1又は第2の位相比較結果によりデータ列を出力する。

本発明は、第1及び第2の位相比較結果の正負に基づいて制御信号による制御方向を判定した制御方向判定結果を入力信号の1周期分積算し、積算結果が零であるか否かを判別し、この判別結果と第1又は第2の位相比較回路の出力から位相差が $[\pm \pi / 2]$ であることを検出し、この検出結果に基づいて補正処理を行い、補正処理済みの制御信号により発振周波数を制御するので、誤ロック状態を回避して、確実にサンプリングクロックの抽出することができ、簡易な構成で、入力信号が劣化した場合でも確実に入力信号を処理することができる。

本発明のさらに他の目的、本発明によって得られる具体的な利点は、以下において図面を参照して説明される実施に形態から一層明らかにされるであろう。

図面の簡単な説明

[0004] [図1]図1は、従来の復調器を示すブロック回路図である。

[図2]図2は、本発明を適用したICカードシステムの実施の形態を示すブロック回路図である。

[図3]図3は、ICカードシステムにおけるICカード及びリーダライタの変復調回路を示すブロック回路図である。

[図4]図4は、ICカードシステムにおける送信信号及び応答信号の周波数スペクトラムを示す特性曲線図である。

[図5]図5は、ICカード及びリーダライタにおける変復調回路に適用される復調器を示すブロック回路図である。

[図6]図6A～図6Hは、復調器の動作の説明に供する信号波形図である。

[図7]図7A～図7Dは、復調器の動作の説明に供する特性曲線図である。

[図8]図8は、復調器の制御方向判定回路の説明に供する図表である。

発明を実施するための最良の形態

[0005] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。

本発明は、図2に示すような構成を備えたICカードシステム100に適用される。本実施の形態のICカードシステム100は、例えば交通機関の改札システムに適用され、ICカード10とリーダライタ20との間でデータ通信をする。以下の説明では、データ通信装置としてカード形状を有するICカードを例に挙げて説明するが、認証・決済等を行ういわゆるICカード機能を有するICチップを携帯電話等の情報端末装置に搭載してよいのはもちろんである。

ICカード10は、集積回路を実装した基板と保護シートとを積層してカード形状に形成されており、基板10a上の配線パターンによりループアンテナ11が形成され、この基板10a上に実装した集積回路により、変復調回路12及び信号処理回路13が形成されている。

ループアンテナ11は、リーダライタ20のループアンテナ21と結合して、このループアンテナ21より送出された送信信号を受信するとともに、変復調回路12で生成した応答信号を放射する。

変復調回路12は、ループアンテナ11で受信した送信信号より、このICカード10の動作に必要な電力、クロック等を生成する。さらに変復調回路12は、この電力、クロックにより動作して、送信信号よりリーダライタ20より送出されたデータ列(以下、送信データ列という。)D(R→C)を復調して信号処理回路13に出力する。また、この送信データ列D(R→C)により送信が促されて信号処理回路13より入力されるデータ列(以下、応答データ列という。)D(C→R)より応答信号を生成し、この応答信号によりループアンテナ11を駆動して応答信号を放射する。

信号処理回路13は、変復調回路12で生成した電力、クロックにより動作して、送信データ列D(R→C)を解析し、必要に応じて応答データ列D(C→R)を変復調回路15に出力する。

リーダライタ20において、変復調回路22は、SPU(シグナルプロセスユニット)23より入力される送信データ列D(R→C)より送信信号を生成し、この送信信号によりル

ープアンテナ21を駆動する。また、変復調回路22は、このループアンテナ21で受信された応答信号を信号処理して、ICカード10より送出された応答データ列D(C→R)を復調し、この応答データ列D(C→R)をSPU23に出力する。

SPU23は、比較的簡易な処理手順を実行する演算処理ユニットにより構成され、ICカード10に送信する送信データ列D(R→C)を変復調回路22に送出し、またこの変復調回路22より入力される応答データ列D(C→R)を処理する。この処理において、SPU23は、必要に応じて表示部24に処理経過、処理結果を表示する。また入力部25からのコマンドにより動作を切り換え、必要に応じて外部装置26との間で処理手順等のデータを入出力する。

図3は、ICカード10の変復調回路12とリーダライタ20の変復調回路22を示すブロック回路図である。

リーダライタ20の変復調回路22において、変調器221は、SPU23より入力される送信データ列D(R→C)を所定周波数F1のクロックCK1によりPSK変調し、PSK変調信号S1を出力する。この場合、送信データレートとクロックCK1の周波数が一致し、特定の位相関係の場合はマンチェスタ符号となる。変調器222は、変調器221より出力されるPSK変調信号S1を所定周波数Fmの主搬送波SmによりASK変調してループアンテナ21を駆動する。

これらによりリーダライタ20は、送信データ列D(R→C)を2段階に変調して送信信号を生成し、この送信信号をループアンテナ21より送出する。

ICカード10側の変復調回路12において、電源供給回路121は、ループアンテナ11に誘起される送信信号を受け、この送信信号を整流して直流電源を生成する。電源供給回路121は、この直流電源をICカード10の各回路ブロックに供給し、これにより送信信号の電力により変復調回路12、信号処理回路13を動作させる。

キャリア抽出器122は、ループアンテナ11より送信信号を受け、この送信信号より主搬送波成分を抽出する。さらにこの主搬送波成分を動作クロックにして復調器123に出力する。さらにキャリア抽出器122は、この動作クロックを基準にして各種基準クロックを生成し、この基準クロックを信号処理回路13等に出出力する。

復調器123は、ループアンテナ11より送信信号を受け、キャリア抽出器122より出

力される動作クロックを用いてこの送信信号を処理することにより、この送信信号に重畳されてなる変調器221のPSK変調信号S1を復調する。

バンドパスフィルタ124は、この復調器123より出力されるPSK変調信号S1を帯域制限することにより、変調器221の出力信号S1に対応する信号成分を選択的に出力する。

復調器125は、このバンドパスフィルタ124の出力信号より送信データ列D(R→C)を復調し、この送信データ列D(R→C)を信号処理回路13に出力する。これによりICカード10では、リーダライタ20より送出された送信データ列D(R→C)を受信できるようになされている。

変調器126は、信号処理回路13よりリーダライタ20に送出する応答データ列D(C→R)を受け、この応答データ列D(C→R)を所定周波数F2のクロックCK2によりPSK変調し、PSK変調信号S2を出力する。この場合、応答データ列のレートとクロックCK2の周波数が一致し、特定の位相関係の場合はマンチェスト符号となる。

負荷回路127は、電源供給回路121より出力される電源ラインに接続され、変調器126の出力信号S2に応じて抵抗値を変化させる。これにより負荷回路127は、電源供給回路121の負荷を出力信号S2に応じて変化させ、ループアンテナ11より見た電源供給回路121の入力インピーダンスを出力信号S2に応じて変化させる。これにより負荷回路127は、ループアンテナ11に誘起されてこのループアンテナ11から再輻射される送信信号の電力を、変調器126の出力信号S2に応じて変化させる。

このようにしてループアンテナ11から再輻射される電力は、主に主搬送波Smによる電力であり、ループアンテナ11の周囲においては、変調器126の出力信号S2に応じて強度が変化する主搬送波Smによる電磁界が形成されることになる。これにより変復調回路12は、等価的に、変調器126の出力信号S1を主搬送波SmによりASK変調して、リーダライタ20に対して応答データ列D(C→R)を搬送する応答信号を生成し、この応答信号をループアンテナ11より輻射する。

これにより負荷回路127は、電源供給回路121とともに、データ列D(C→R)を2段階で変調する変調回路を構成する。電源安定化回路128は、このように負荷の変化により変動する電源電圧を安定化させて出力する。

リーダライタ20側の変復調回路22において、復調器223は、このようにして生成されてループアンテナ21に誘起される応答信号を受け、この応答信号に重畳されてなる変調器126の出力信号S2を復調する。

バンドパスフィルタ224は、この復調器223の出力信号を帯域制限することにより、変調器126の出力信号S2に対応する信号成分を選択的に出力する。

復調器225は、このバンドパスフィルタ224の出力信号より応答データ列D(C→R)を復調し、このデータ列D(C→R)をSPU23に出力する。これによりリーダライタ20では、ICカード10より送出された応答データ列D(C→R)を受信できるようになされている。

このようにしてデータ列を送受するICカード10及びリーダライタ20において、クロックCK1及びCK2の周波数F1及びF2は、所定周波数だけ異なる周波数により設定される。また、この周波数F1及びF2は、図4に示すように、リーダライタ20側の変調器221より出力されるPSK変調信号S1と、ICカード10側の変調器126より出力されるPSK変調信号S2とを周波数軸上で見たとき、側波帯S1U、S1L及びS2U、S2Lが重なり合わないよう、またこれらPSK変調信号S1及びS2が重畳された際に、簡易な構成のバンドパスフィルタ124、224によりPSK変調信号S1及びS2の信号成分をそれぞれ抽出できるように、十分に離間した周波数に設定される。

これによりICカード10及びリーダライタ20において、同時に、双方向でデータ交換できるようになされている。

図5は、ICカード10及びリーダライタ20における変復調回路12、22に適用される復調器125、225を示すブロック回路図である。ICカードシステム100において、この復調器125、225は、処理する信号が異なる点を除いて同一に構成されることにより、ICカード10側の復調器12についてだけ説明し、リーダライタ20側の復調器225については、図2において相違する箇所に対応する符号を付して示し重複した説明を省略する。ICカードシステム100においては、この復調器125、225においてPSK変調信号S1、S2を処理してデータ列D(R→C)、D(C→R)を復調する。

なお、マンチェスタ符号は、図6A及び図6Bに示すように、伝送に供するデータの論理レベルに応じて、クロックの1周期で位相が反転するビットコーディングである。こ

れによりPSK変調信号S1、S2においては、伝送に供するデータの論理レベルに応じて、クロックCK1、CK2のエッジ情報が伝送されない場合が発生する。

ICカードシステム100においては、ICカード10とリーダライタ20間の距離が離間すると、図6Cに示すように、復調されたPSK変調信号S1、S2のSN比が劣化し、また波形歪みが発生することになる。

2値化回路251は、リミッタ回路構成の2値化回路により構成され、バンドパスフィルタ124より入力されるPSK変調信号S1を2値化して、図6Dに示すような1周期8サンプルの2値化信号S3Aと、この2値化信号S3Aの極性を反転してなる図6Eに示すような2値化信号S3Bとを出力する。この場合、2値化信号S3A、S3Bにおいては、PSK変調信号S1、S2の波形が歪んだ分、デューティ比が50[%]より変化して再生されることになる。

発振器252は、フレームレートが例えば211KpsのPSK変調信号S1のクロックCK1に対して、フレームレートのN倍(例えばN=64)の周波数(13.56MHz)を発振し、矩形波信号による発振出力信号S4を出力する。

可変型分周器253は、発振器252の発振出力信号S4を $1/N$ に分周し、PSK変調信号S1とほぼ周波数の等しい図6Fに示すような第1の発振出力信号S6Q、この第1の発振出力信号S6Qに対して90度位相の異なる図6Gに示すような第2の発振出力信号S6Iを出力する。

イクスクルーシブオア(EX-OR)回路254Qは、第1の発振出力信号S6Qと2値化信号S3Aとの排他的論理和出力として、第1の発振出力信号S6Qと2値化信号S3Aとの位相比較結果S7Qを出力する。イクスクルーシブオア(EX-OR)回路254Iは、第2の発振出力信号S6Iと2値化信号S3Bと排他的論理和出力として、第2の発振出力信号S6Iと2値化信号S3Bとの位相比較結果S7Iを出力する。

ローパスフィルタ(LPF)255Qは、EX-OR回路254Qにより得られた位相比較結果S7Qについて、半周期4サンプル毎に移動平均を5値出力として得、この移動平均値S8Qを出力する。ローパスフィルタ(LPF)255Iは、EX-OR回路254Iにより得られた位相比較結果S7Iについて、半周期4サンプル毎に移動平均を5値出力として得、この移動平均値S8Iを出力する。

3値化回路256Qは、上記LPF255Qから出力された5値の移動平均値S8Qを3値化して制御方向判定回路257に出力する。3値化回路256Iは、上記LPF255Iから出力された5値の移動平均値S8Iを3値化して制御方向判定回路257と補正回路259に出力する。

制御方向判定回路257は、3値化回路256Q、256Iにより得られた3値化信号S9Q、S9Iに基づいて、上記可変型分周器52における分周比の可変方向を決定し、この可変方向に従って制御信号S10を出力する。

ここで、図7A～図7Dに示すように、第1の発振出力信号S6Qと2値化信号S3Aの位相比較結果S7Q及び第2の発振出力信号S6Iと2値化信号S3Bの位相比較結果S7Iの対比によりクロックCK1との間の排他的論理和による位相比較結果をアナログ量S7IA、S7QAにより示すと、クロックCK1に対して位相が一致しているとき、すなわち、位相差0及び $\pi/2$ のとき、位相比較結果S7I、S7Qは、それぞれ大きな値が得られ、このとき90度位相の異なる位相比較結果においては、値0の位相比較結果が得られる。さらにこれらの値は、位相差の変化により三角波形状に変化する(図7A及び図7B参照。)

この関係を、図7C及び図7Dに示すように、位相比較結果S7I、S7Qの符号により示すと、第2の位相比較結果S7Iにおいては、 $-90^\circ[-\pi/2]$ から $90^\circ[+\pi/2]$ の範囲で値が正に立ち上がり、 $-90^\circ[-\pi/2]$ から $-180^\circ[-\pi]$ の範囲、 $90^\circ[+\pi/2]$ から $180^\circ[+\pi]$ の範囲で値が負に立ち下がる。また、これと $90^\circ[\pi/2]$ 位相の異なる第1の位相比較結果S7Qにおいては、 $0^\circ[0]$ から $90^\circ[+\pi/2]$ の範囲で値が正に立ち上がり、 $0^\circ[0]$ から $-180^\circ[-\pi]$ の範囲で値が負に立ち下がる。

これにより位相比較結果S7I、S7Qの符号により、2値化信号S3Aに対する位相ずれを大まかに検出できることが判る。

これに対して2値化信号S3Aの生成基準となるマンチェスタ符号においては、データの論理レベルに応じてクロックCKに対して $0^\circ[0]$ 、 $180^\circ[\pi]$ の位相を形成する。この場合2値化信号S3Aを用いた位相比較結果S7I、S7Qにおいては、PSK変調信号S1により伝送されるデータに応じて、クロックCK1に対して位相同期する箇所が

位相差0度[0]、位相差180度[π]で切り換わることになる。

これにより位相比較結果S7Iにより検出される位相差が -90 度[$-\pi/2$]～ 90 度[$+\pi/2$]の範囲においては、図7において矢印aにより示すように、位相比較結果S7Qの位相差が0度[0]になるように制御して、位相比較結果S7Iの生成基準でなる発振出力信号S6IをクロックCKに同期させることができる。

また、位相比較結果S7Iにより検出される位相差が -180 度[$-\pi$]～ -90 度[$-\pi/2$]、 90 度[$+\pi/2$]～ 180 度[$+\pi$]の範囲においては、図7において矢印bにより示すように、位相比較結果S7Qの位相差が180度になるように制御して、位相比較結果S7Iの生成基準でなる発振出力信号S6IをクロックCKに同期させることができる。

この関係に従って、制御方向判定回路257は、図8に示すように、位相比較結果S7I、S7Qの符号をアドレスにしたテーブルを保持し、このテーブルにより制御方向(進め[+]、遅れ[-])を決定し、この制御方向に応じた制御信号S10を出力する。

積算回路258は、制御方向判定回路257により得られた制御信号S10について1周期分8サンプルの総和S11を求める。

補正回路259は、3値化回路256Iにより得られた3値化信号S9Iに基づいて、原理的に存在する位相誤差が検出できない位相差が[$\pm\pi/2$]であることを検出し、補正処理がなされた制御信号S12を1周期に1回、可変型分周器52に出力する。

図5に示した構成の復調回路によれば、90度位相の異なる発振出力信号による第1及び第2の位相比較結果より、この第1及び第2の位相比較結果の正負に応じて制御方向を決定して発振周波数を可変したことにより、簡易な構成で、PSK変調信号S1、S2が劣化した場合でも、確実にクロックCKを再生してデータを復調することができる。

しかも、誤ロック状態となってしまう虞のある位相差[$\pm\pi/2$]であることを検出して補正回路259によって制御量に補正を行うことにより、誤ロック状態に陥ることなく、確実にクロックCKを再生してデータを復調することができる。

すなわち、本発明の実施の形態では、位相の異なる発振出力信号による第1及び第2の位相比較結果を出力する構成としては、例えば、位相比較回路の位相比較結

果について移動平均を出力として得、この移動平均値を処理して出力する構成とすることができ、この出力に基づいてロックすべき位相から最も離れた位相差 $[\pm \pi / 2]$ であることを検出し、所定の制御量で補正することにより誤ロック状態に陥ることなく、確実にクロックCKを再生してデータを復調することができる。

なお、上述の実施の形態においては、送信信号の電力によりICカードを動作させる場合について述べたが、本発明はこれに限らず、電池により動作させる場合等にも広く適用することができる。

また、上述の実施の形態においては、マンチェスタ符号によるPSK変調信号よりクロックを生成し、またデータを復調する場合について述べたが、本発明はこれに限らず、種々のPSK変調信号によりクロックを生成し、またデータを復調する場合、さらにはASK変調信号よりクロックを生成する場合等、種々の変調信号よりクロックを生成し、またこのクロックを用いてデータを再生する場合に広く適用することができる。

さらに、上述の実施の形態においては、ICカード及びICカード処理装置でなるリーダライタに適用した例を挙げて説明したが、本発明はこれに限らず、種々のデータ伝送装置のPLL回路、復調回路に広く適用することができる。

なお、本発明は、図面を参照して説明した上述の実施例に限定されるものではなく、添付の請求の範囲及びその主旨を逸脱することなく、様々な変更、置換又はその同等のものを行うことができることは当業者にとって明らかである。

請求の範囲

- [1] 1. 所望の伝送系を介して伝送された入力信号より、前記入力信号のクロックを再生するPLL回路において、
- 前記入力信号を2値化して2値化信号を生成する2値化回路と、制御信号により周波数を可変して、第1の発振出力信号と、前記第1の発振出力信号に対して90度[$\pi/2$]位相の異なる第2の発振出力信号を出力する信号生成回路と、
- 前記第1の発振出力信号と前記2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較回路と、
- 前記第2の発振出力信号と前記2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較回路と、
- 前記第1及び第2の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定回路と、
- 前記制御方向判定結果を積算して、積算結果を出力する積算回路と、
- 前記積算結果が零であるか否かを判別し、この判別結果と前記第1又は第2の位相比較回路の出力から前記位相差が[$\pm \pi/2$]であることを検出し、この検出結果に基づいて補正処理が行われた制御信号を出力する補正回路とを備え、
- 前記補正処理済みの制御信号により前記信号生成回路の動作を制御することを特徴とするPLL回路。
- [2] 2. 前記入力信号がPSK変調信号でなることを特徴とする請求の範囲第1項記載のPLL回路。
- [3] 3. 前記入力信号がマンチェスタ符号による変調信号でなることを特徴とする請求の範囲第1項記載のPLL回路。
- [4] 4. 所望の伝送系を介して伝送された入力信号より、前記入力信号を介して伝送されるデータ列を再生する復調回路において、
- 前記入力信号を2値化して2値化信号を生成する2値化回路と、制御信号により周波数を可変して、第1の発振出力信号と、前記第1の発振出力信号に対して90度[$\pi/2$]位相の異なる第2の発振出力信号を出力する信号生成回路と、
- 前記第1の発振出力信号と前記2値化信号とを位相比較し、第1の位相比較結果

を出力する第1の位相比較回路と、

前記第2の発振出力信号と前記2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較回路と、

前記第1及び第2の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定回路と、

前記制御方向判定結果を前記入力信号の1周期分積算して、積算結果を出力する積算回路と、

前記積算結果が零であるか否かを判別し、この判別結果と前記第1又は第2の位相比較回路の出力から前記位相差が $[\pm \pi / 2]$ であることを検出し、この検出結果に基づいて補正処理が行われた制御信号を出力する補正回路とを備え、

前記補正処理済みの制御信号により前記信号生成回路の動作を制御して、前記第1又は第2の位相比較結果により前記データ列を出力することを特徴とする復調回路。

- [5] 5. 前記入力信号がPSK変調信号でなることを特徴とする請求の範囲第4項記載の復調回路。
- [6] 6. 前記入力信号がマンチェスタ符号による変調信号でなることを特徴とする請求の範囲第5項記載の復調回路。
- [7] 7. アンテナを介して受信された送信信号から復調回路によりデータ列を復調して処理するICカードにおいて、

前記復調回路は、前記送信信号を2値化して2値化信号を生成する2値化回路と、制御信号により周波数を可変して、第1の発振出力信号と、前記第1の発振出力信号に対して90度 $[\pi / 2]$ 位相の異なる第2の発振出力信号を出力する信号生成回路と、前記第1の発振出力信号と前記2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較回路と、前記第2の発振出力信号と前記2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較回路と、前記第1及び第2の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定回路と、前記制御方向判定結果を前記入力信号の1周期分積算して、積算結果を出力する積算回路と、前記積算結果が零

であるか否かを判別し、この判別結果と前記第1又は第2の位相比較回路の出力から前記位相差が $[\pm \pi / 2]$ であることを検出し、この検出結果に基づいて補正処理が行われた制御信号を出力する補正回路とを備え、

前記補正処理済みの制御信号により前記信号生成回路の動作を制御して、前記第1又は第2の位相比較結果により前記データ列を出力することを特徴とするICカード。

[8] 8. 前記送信信号がPSK変調信号でなることを特徴とする請求の範囲第7項記載のICカード。

[9] 9. 前記送信信号がマンチェスタ符号による変調信号でなることを特徴とする請求の範囲第7項記載のICカード。

[10] 10. アンテナを介して受信された応答信号から、復調回路を用いてICカードより送出されたデータ列を復調して処理するICカード処理装置において、

前記復調回路は、前記応答信号を2値化して2値化信号を生成する2値化回路と、制御信号により周波数を可変して、第1の発振出力信号と、前記第1の発振出力信号に対して90度 $[\pi / 2]$ 位相の異なる第2の発振出力信号を出力する信号生成回路と、前記第1の発振出力信号と前記2値化信号とを位相比較し、第1の位相比較結果を出力する第1の位相比較回路と、前記第2の発振出力信号と前記2値化信号とを位相比較し、第2の位相比較結果を出力する第2の位相比較回路と、前記第1及び第2の位相比較結果の正負に基づいて前記制御信号による制御方向を判定し、制御方向判定結果を出力する制御方向判定回路と、前記制御方向判定結果を前記入力信号の1周期分積算して、積算結果を出力する積算回路と、前記積算結果が零であるか否かを判別し、この判別結果と前記第1又は第2の位相比較回路の出力から前記位相差が $[\pm \pi / 2]$ であることを検出し、この検出結果に基づいて補正処理が行われた制御信号を出力する補正回路とを備え、

前記補正処理済みの制御信号により前記信号生成回路の動作を制御して、前記第1又は第2の位相比較結果により前記データ列を出力することを特徴とするICカード処理装置。

[11] 11. 前記応答信号がPSK変調信号でなることを特徴とする請求の範囲第10項記載

のICカード処理装置。

- [12] 12. 前記応答信号がマンチェスタ符号による変調信号でなることを特徴とする請求の範囲第10項記載のICカード処理装置。

[図1]

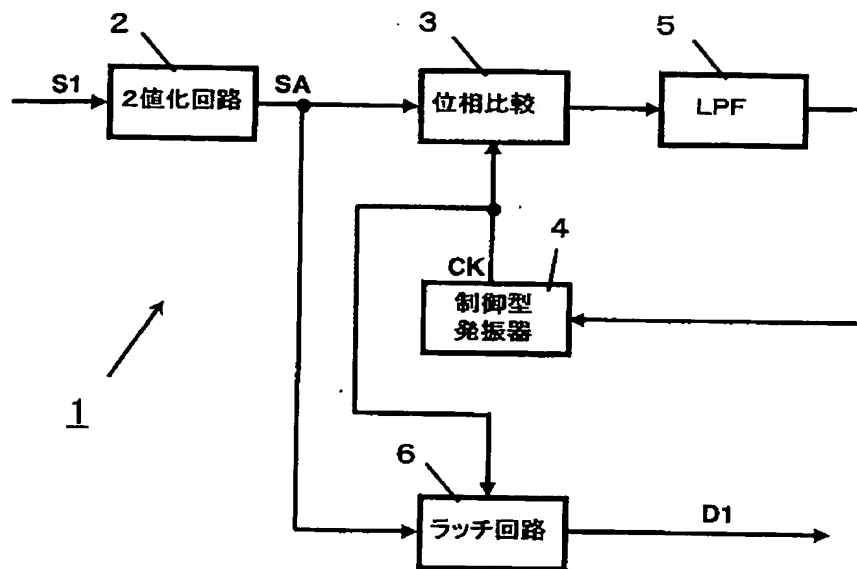


FIG.1

[図2]

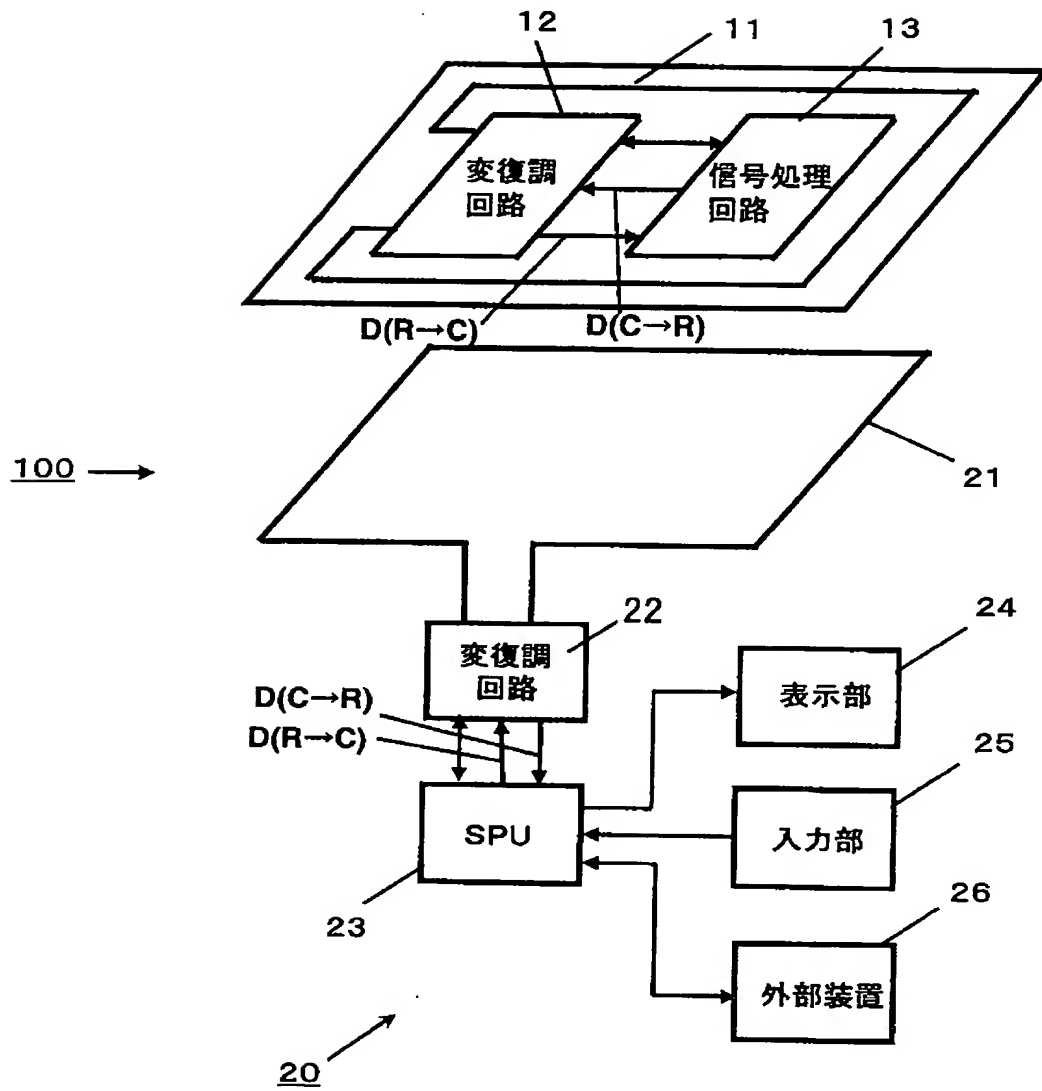


FIG.2

[図3]

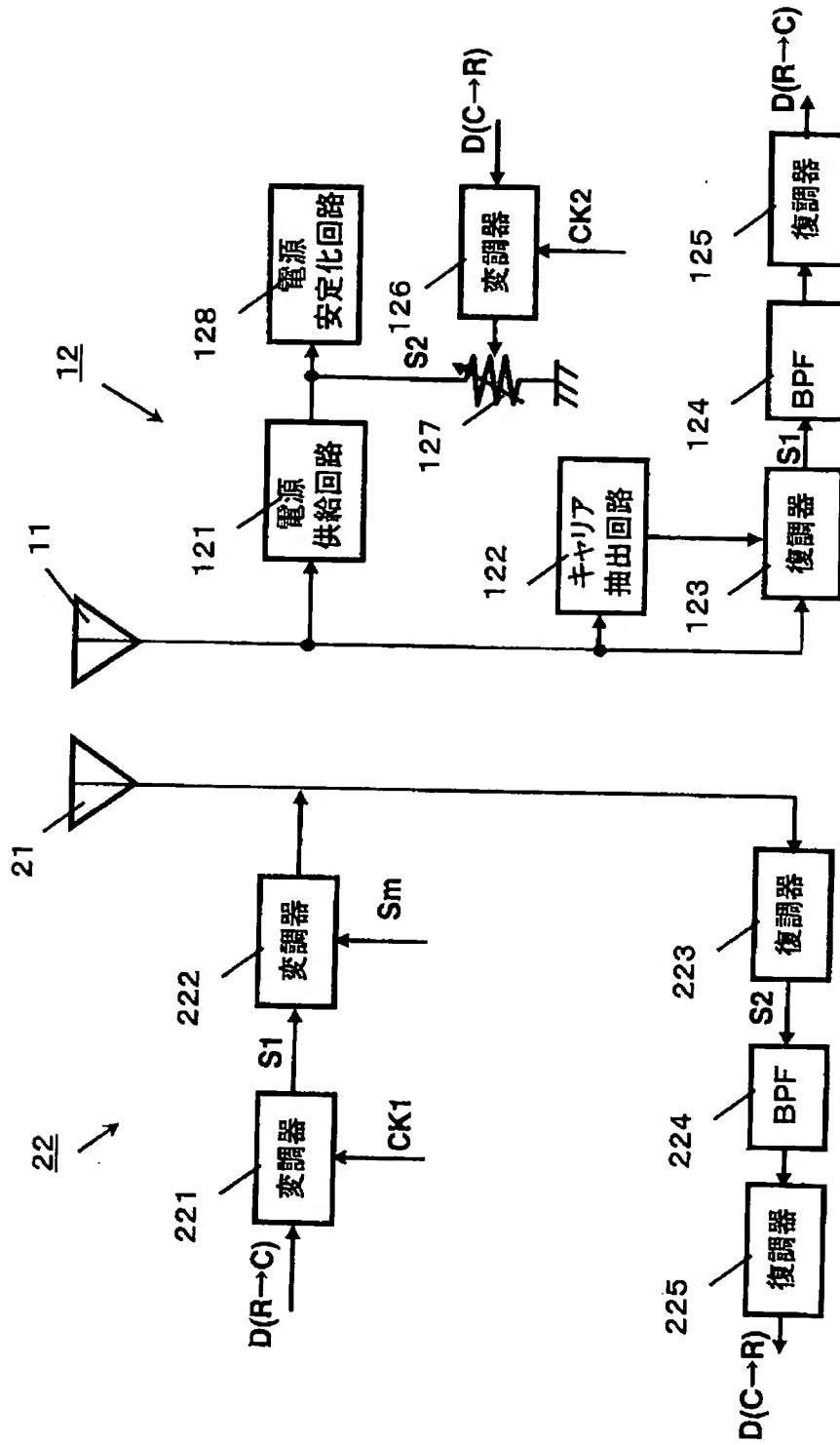


FIG.3

[図4]

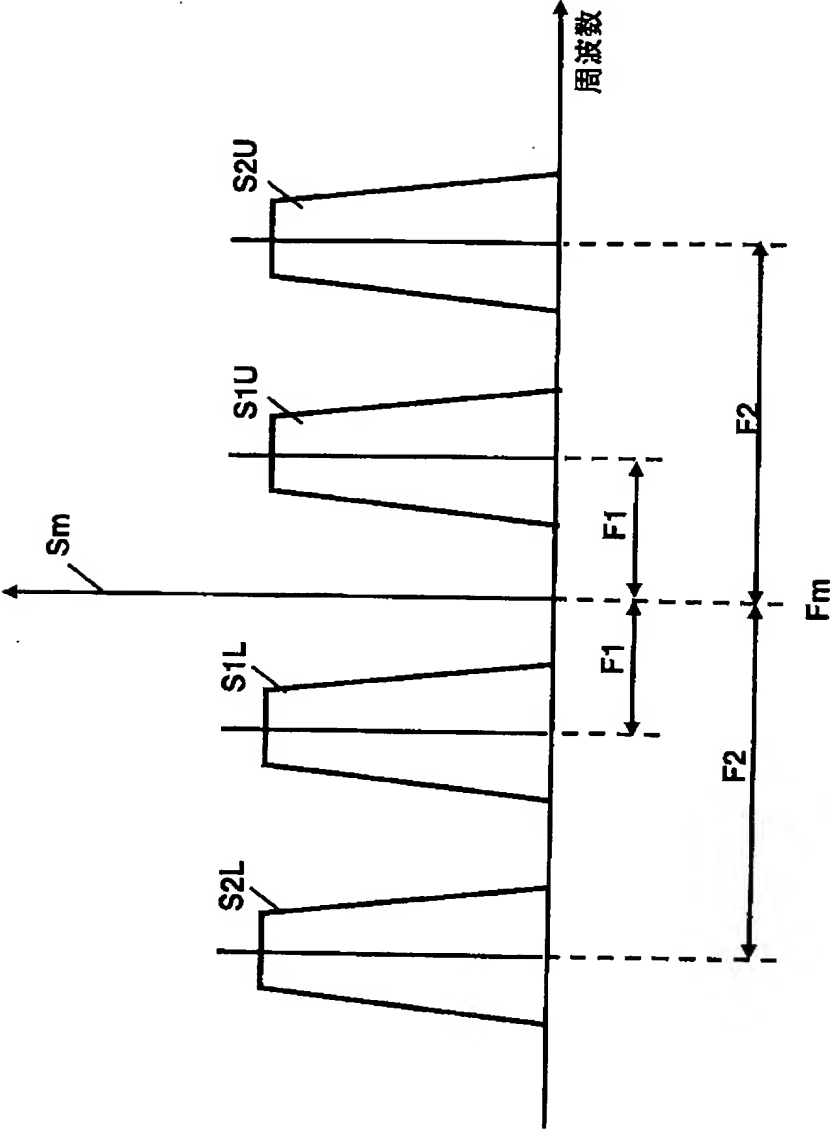


FIG.4

[図5]

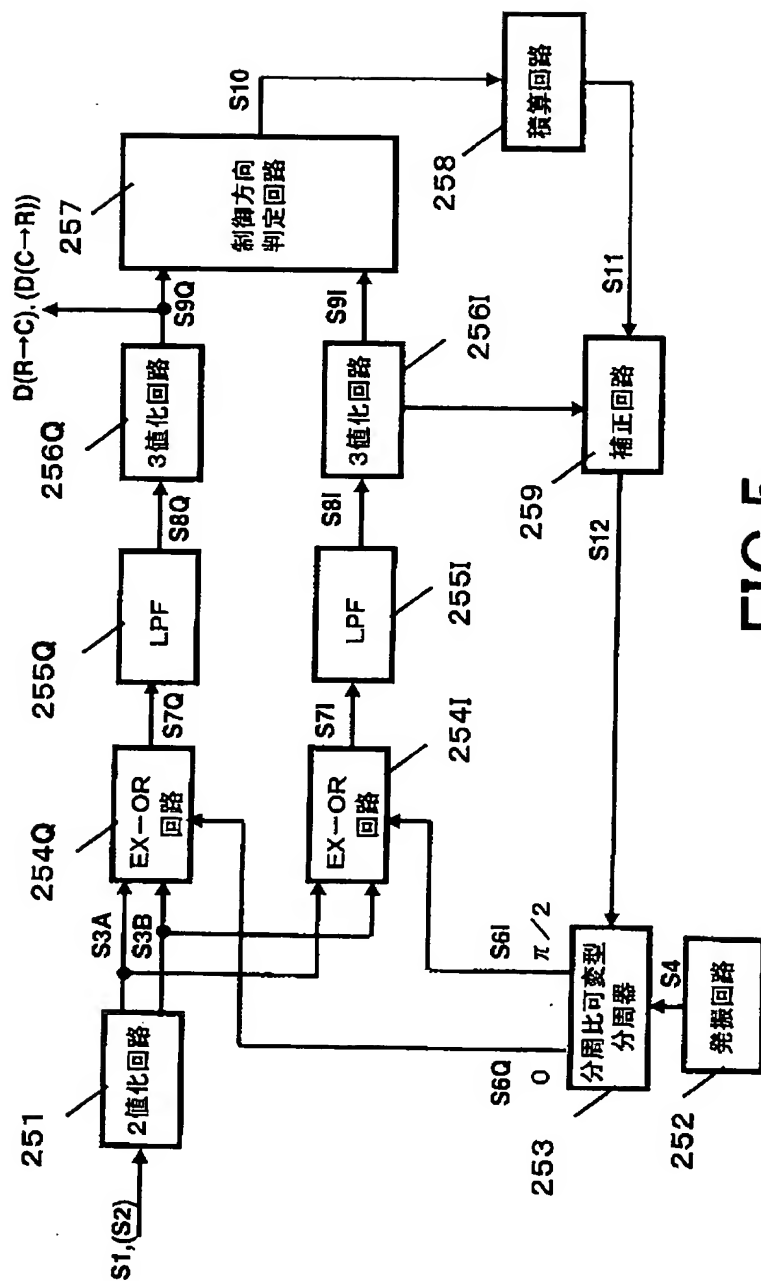
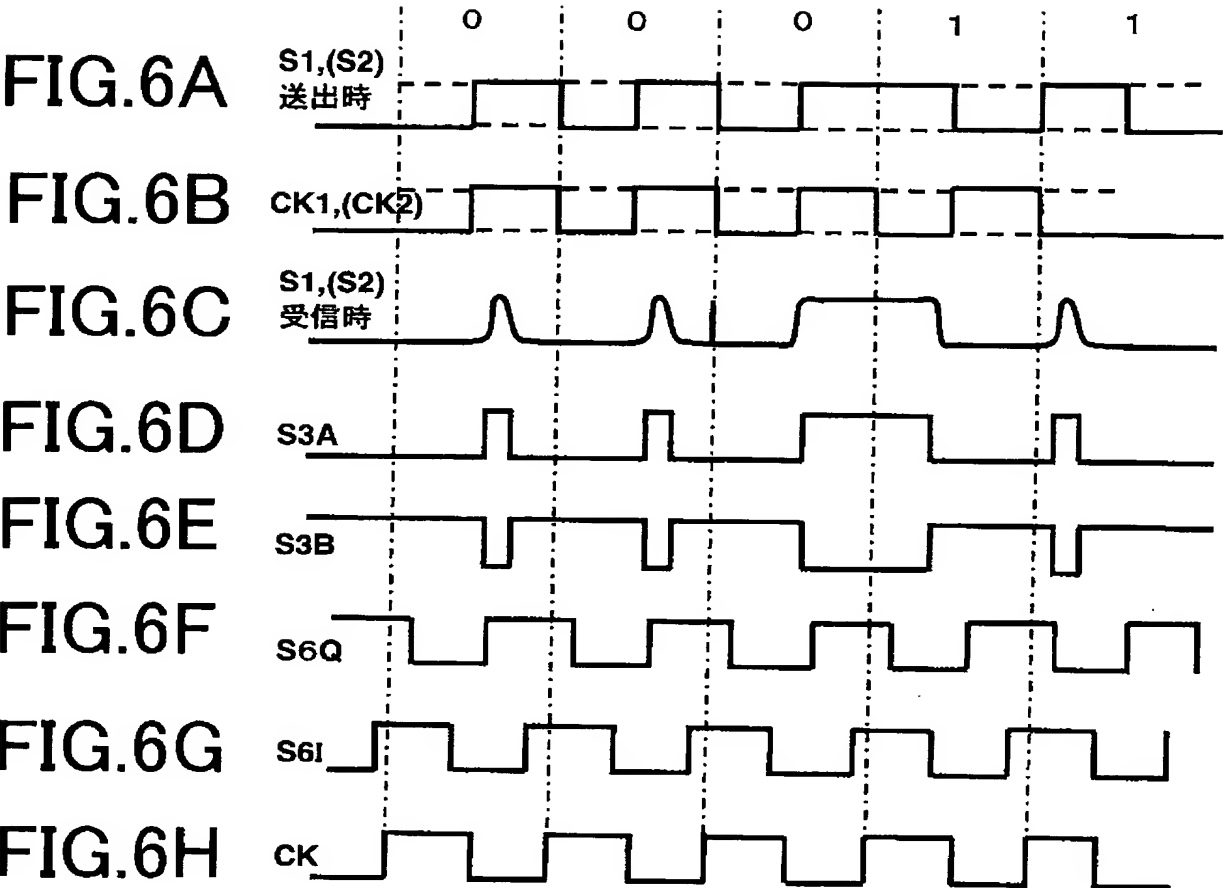


FIG.5

[図6]



[図7]

FIG.7A

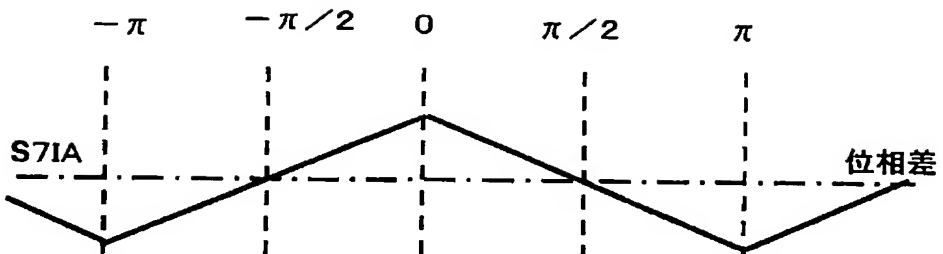


FIG.7B

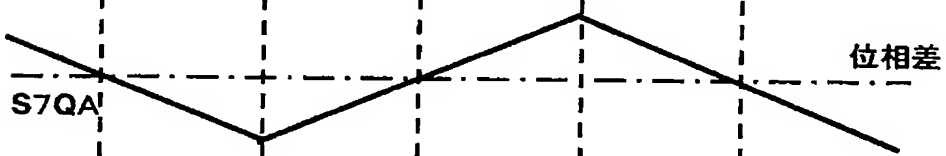


FIG.7C

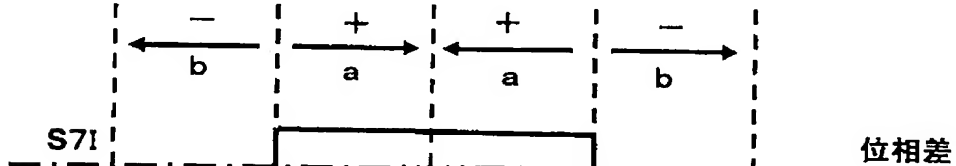
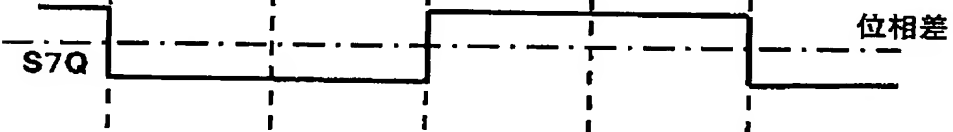


FIG.7D



$\xleftarrow[-b]{-}$
 $\xrightarrow[a]{+}$
 $\xleftarrow[a]{+}$
 $\xrightarrow[b]{-}$

[図8]

位相ずれ	$-\pi$		$-\pi/2$		0		$\pi/2$		π
S7I	-	-	0	+	+	+	0	-	-
S7Q	0	-	-	-	0	+	+	+	0
制御方向	0	+	0	-	0	+	0	-	0

FIG.8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002161

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L27/22, H03L7/08, 7/087

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04L27/00-7/38, H03L7/00-7/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-274919 A (Sony Corp.), 08 October, 1999 (08.10.99), Full text; all drawings (Family: none)	1-12
A	JP 2003-319003 A (Toshiba Corp.), 07 November, 2003 (07.11.03), Full text; all drawings (Family: none)	1-12
A	JP 2001-333055 A (Denso Corp.), 30 November, 2001 (30.11.01), Full text; all drawings (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 April, 2005 (21.04.05)Date of mailing of the international search report
17 May, 2005 (17.05.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H04L27/22, H03L7/08, 7/087

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H04L27/00 - 7/38, H03L7/00 - 7/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-274919 A (ソニー株式会社) 1999. 10. 08, 全文, 全図 (ファミリーなし)	1-12
A	JP 2003-319003 A (株式会社東芝) 2003. 11. 07, 全文, 全図 (ファミリーなし)	1-12
A	JP 2001-333055 A (株式会社デンソー) 2001. 11. 30, 全文, 全図 (ファミリーなし)	1-12

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21. 04. 2005

国際調査報告の発送日

17. 5. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

藤井 浩

5K

8625

電話番号 03-3581-1101 内線 3556